

**БОРТНИК ГЕННАДІЙ**Вінницький національний технічний університет  
<https://orcid.org/0000-0001-7083-2775>  
e-mail: [bgen88@gmail.com](mailto:bgen88@gmail.com)**БОРТНИК СЕРГІЙ**Вінницький національний технічний університет  
<https://orcid.org/0000-0002-4290-1750>  
e-mail: [sbortnyk@gmail.com](mailto:sbortnyk@gmail.com)**БРИЛЬ МИХАЙЛО**Вінницький національний технічний університет  
e-mail: [mishkabrill@gmail.com](mailto:mishkabrill@gmail.com)**МЕЛЬНИЧУК СТЕПАН**Івано-Франківський національний технічний університет нафти і газу  
<https://orcid.org/0000-0002-6973-4235>  
e-mail: [stepan.melnychuk@ukd.edu.ua](mailto:stepan.melnychuk@ukd.edu.ua)

## ПАРАЛЕЛЬНО-ПОСЛІДОВНІ АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ З КОРИГУВАННЯМ ПОХИБОК НЕЛІНІЙНОСТІ

У роботі запропоновано метод підвищення роздільної здатності паралельно-послідовних аналого-цифрових перетворювачів (ППАЦП) за рахунок коригування похибок нелінійності. Наведено структурні схеми ППАЦП, що базуються на інтегральному та диференціальному коригуванні похибок нелінійності АЦП.

Розроблені ППАЦП дозволяють виконувати перетворення сигналів у широкій смузі частот і характеризуються високою роздільною здатністю та відповідністю похибок перетворення задекларованій роздільній здатності АЦП.

Аналіз ефективності запропонованого методу підтвердив, що завдяки розробленому методу вдається підвищити ефективну розрядність 12-розрядного швидкодіючого ППАЦП на 1,9 біта у смузі високих частот.

Ключові слова: аналого-цифрові перетворювачі, похибки нелінійності, роздільна здатність, ефективне число розрядів.

BORTNYK GENNADIY, BORTNYK SERHIJ, BRYL MYKHAILO

Vinnytsia National Technical University

MELNYCHUK STEPAN

Ivano-Frankivsk National Technical University of Oil and Gas

## PARALLEL-SEQUENTIAL ANALOG-DIGITAL CONVERTERS WITH NONLINEARITY ERROR CORRECTION

The paper proposes a method for increasing the resolution of parallel-to-sequential analog-to-digital converters (PSADCs) by correcting nonlinearity errors. It is proved that the PSADCs with adjustment functions as a two-stage ADC. The first ADC (ADC1) converts the input signal into a code  $N_1$ . Upon the signal of the end of the conversion in ADC1, the second ADC (ADC2) is started, which converts the remaining signal into a code  $N_2$ . The total correction value is formed in the adder, which corrects the conversion error in ADC1. At the end of the conversion, the ADC1 code is summed with the correction in the adder. This result is then summed at the end of the conversion in ADC1 with the source code of ADC2. As a result, the adjusted n-bit conversion result is read from the output of the adder.

Structural schemes of PSADCs based on integral and differential correction of ADC nonlinearity errors are given. The considered structures of PSADCs do not require the use of an accurate digital-to-analog converter at the stage of determining bit errors. The proposed correction method makes it possible to remove progressive errors directly from high-speed PSADCs due to the fact that the corrective action in it is carried out in digital form.

The developed PSADCs enable signal conversion in a wide frequency band and are characterized by high resolution and conversion error compliance with the declared resolution of the ADC.

An analysis of the effectiveness of the proposed method of improving the resolution of the PSADCs was performed. NI Multisim 11.0 circuit simulation package was used to quantitatively evaluate the performance of the PSADCs with correction of nonlinearity errors. At the same time, the output signal of the ADC was studied in the frequency domain, that is, the numerical parameters of the spectrum of the analog equivalent of the ADC output signal were analyzed. The simulation results made it possible to state that the method of digital correction of PSADCs nonlinearity errors makes it possible to increase the effective bit rate of the converter by 1.9 bits.

Keywords: analog-digital converters, nonlinearity errors, resolution, effective number of bits.

### Постановка проблеми

Паралельно-послідовні аналого-цифрові перетворювачі (ППАЦП) знаходять широке використання в сучасних інформаційно-вимірювальних системах. Такі АЦП характеризуються вищою швидкодією порівняно з послідовними АЦП та нижчими апаратними затратами, ніж паралельні АЦП [1]. Водночас роздільна здатність ППАЦП при їх роботі у широкому діапазоні частот значно нижча потенційно можливої, що визначається розрядністю цих АЦП.

Суттєвого підвищення точності таких АЦП добиваються застосуванням методів автоматичного коригування похибок, які знаходять широке застосування у прецизійних АЦП, що зараз випускаються. Для них характерним при різній структурній реалізації, що визначається алгоритмом аналого-цифрового

перетворення, наявність спеціальних схем та інших засобів, що забезпечують автоматичне коригування похибок.

Незважаючи на інтенсивні розробки та дослідження методів коригування похибок АЦП, вони мають обмежену область застосування та у ряді випадків малоефективні, зокрема слабо досліджена ефективність коригування похибок нелінійності для швидкодіючих АЦП паралельно-послідовного типу, що отримали найбільшого поширення [2]. У зв'язку з цим задача дослідження методів коригування похибок нелінійності паралельно-послідовних АЦП є актуальною.

#### Аналіз останніх джерел

Дослідженню методів підвищення роздільної здатності ППАЦП присвячені роботи [3, 4], в яких зокрема доведено, що похибки нелінійності впливають на ефективне число розрядів ППАЦП. При цьому встановлено, що зі збільшенням частоти вхідного сигналу погіршується роздільна здатність таких перетворювачів. У роботах [5, 6] наведено аналогові методи коригування похибок нелінійності в ППАЦП. Слід зазначити, що ефективність коригування в аналоговій області є недостатньо високою. Натомість цифрова методологія коригування похибок видається перспективнішою і може забезпечити вищу ефективність паралельно-послідовного аналого-цифрового перетворення сигналів у широкій смузі робочих частот.

Метою роботи є **підвищення роздільної здатності паралельно-послідовних АЦП за рахунок коригування похибок нелінійності.**

#### Виклад основного матеріалу

Основним напрямком збільшення роздільної здатності ППАЦП є зменшення похибок, які викликані технологічними причинами виготовлення елементів та вузлів перетворювачів. При цьому існує два шляхи зменшення похибок:

- 1) застосування параметричних методів, у яких підвищення точності перетворювачів здійснюється за рахунок покращення метрологічних характеристик окремих елементів;
- 2) застосування методів коригування похибок нелінійності перетворювачів.

З них найбільш перспективним шляхом підвищення роздільної здатності ППАЦП у теперішній час є застосування методів коригування похибок нелінійності перетворювачів.

Схема ППАЦП містить декілька каскадів, у кожному з яких є малорозрядний АЦП паралельного типу (ПАЦП), цифро-аналоговий перетворювач (ЦАП) та аналоговий віднімальний пристрій. Такий ППАЦП містить два малорозрядні ПАЦП, які працюють послідовно у часі. Аналоговий сигнал  $U_{\text{вх}}$  подається на вхід першого ПАЦП1. На його виході утворюються старші розряди двійкового коду  $N_1$ , які перетворюються паралельним ЦАП та у вигляді напруги  $U_{\text{ЦАП}}$  відповідного коду старших розрядів, потрапляють на один із входів операційного підсилювача (ОП). На другий вхід ОП подається вхідний сигнал  $U_{\text{вх}}$ . ОП виконує функції формування різницевого сигналу  $U_{\text{вп}} = (U_{\text{вх}} - U_{\text{ЦАП}})$  та підсилювача різниці  $U_{\text{вп}}$  з коефіцієнтом підсилення  $k = 2^{N_1}$ . Вихідний сигнал ОП зі значенням  $k \cdot (U_{\text{вх}} - U_{\text{ЦАП}})$  потрапляє на вхід другого ПАЦП2, на виході якого формуються молодші розряди коду  $N_2$ . Похибка нелінійності ППАЦП залежить передусім від аналогових вузлів перетворювача: ЦАП ( $\Delta U_{\text{ЦАП}}$ ) та аналогового віднімального пристрою ( $\Delta U_{\text{вп}}$ ). Окрім того, на загальну похибку нелінійності впливає також похибка АЦП першого каскаду ( $\Delta U_{\text{АЦП1}}$ ). З урахуванням вказаних похибок вхідний сигнал АЦП другого каскаду має вигляд

$$U_{\text{вх2}} = 2 \cdot (\Delta U_{\text{АЦП1}} + \Delta U_{\text{ЦАП}} + U_{\text{вп}}) + \Delta U_{\text{вп}}. \quad (1)$$

При визначенні розрядних похибок використовується така методика. Подача тестового сигналу з кодовим еквівалентом ( $N_T$ ) на вхід АЦП спричиняє формування на його виході кодів:  $N_1$  – першого АЦП та  $N_2$  – другого АЦП. Загальний код результату перетворення  $N$  на виході АЦП дорівнює сумі кодів  $N_1$ ,  $N_2$  зі зсувом, що відповідає коефіцієнту послаблення сигналу з виходу допоміжного ЦАП. При цьому різниця загального коду результату  $N$  та точного коду вхідного сигналу  $N_T$  відповідає значенню у коді другого АЦП алгебраїчної суми похибок розрядів у стані «1» ( $\alpha_i = 1$ ):

$$\sum_{i=1}^n \Delta m_i \cdot \alpha_i = N_T - (N_1 - N_2) = N_T - \left( \sum_{i=1}^n 2^{-i} \cdot \alpha_i + \sum_{n+p-m}^{n+p} 2^{-i} \cdot \alpha_i \right), \quad (2)$$

де  $N_1 = \sum_{i=1}^n 2^{-i} \cdot \alpha_i$ ,  $N_2 = \sum_{n+p-m}^{n+p} 2^{-i} \cdot \alpha_i$  – коди результатів перетворення відповідно АЦП1 та АЦП2.

Використовуючи властивість (2), на першому етапі коригування подають на вхід АЦП тестові сигнали за допомогою точного ЦАП. За результатами перетворення сигналів формують рівняння вигляду (2) відносно  $n$  значень розрядних похибок. Зокрема, подаючи на вхід АЦП тестові сигнали, яким відповідають вихідні коди АЦП1  $N_1 = 2^{-i}$ , формують рівняння відносно значень похибок  $i$ -х розрядів

$$\Delta m_i = N_T - (2^{-i} + N_2) = N_T - \left( 2^{-i} + \sum_{n+p-m}^{n+p} 2^{-i} \cdot \alpha_i \right). \quad (3)$$

Таким чином, подаючи на вхід АЦП відповідні тестові сигнали, за результатами перетворень  $N_1$  та  $N_2$  визначають розрядні похибки у кодї АЦП, які записують у постійний запам'ятовувальний пристрій (ПЗП) перетворювача.

Далі відбувається процес формування та уведення поправок. З властивості (2) слідує, що точне значення вихідного сигналу АЦП дорівнює

$$N_T = (N_1 + N_2) + \sum_{i=1}^n \Delta m_i \cdot \alpha_i. \quad (4)$$

З урахуванням виразу (4), у процесі перетворення сигналів в АЦП1 порозрядно зчитуються з ПЗП значення розрядних похибок. Ці значення надходять у накопичувальний суматор, де формується залежно від

сигналу ( $\alpha_i$ ), значення коригувальної поправки до похибки перетворення АЦП1:  $\sum_{i=1}^n \Delta m_i \cdot \alpha_i$ . Це

значення підсумовується з вихідним кодом АЦП1 ( $N_1$ ) та кодом АЦП2 ( $N_2$ ). У результаті, на виході суматора формується згідно (4), точне значення вихідного сигналу ( $N_T$ ).

ППАЦП з коригуванням функціонує, як двоступеневий АЦП. Перший АЦП (АЦП1) перетворює вхідний сигнал у код  $N_1$  з похибкою квантування  $\delta$ . По сигналу закінчення перетворення в АЦП1 запускається другий АЦП (АЦП2), який перетворює залишковий сигнал ( $U_{\text{вх}} - E_{\text{оп}} \cdot N_1$ ) у код  $N_2$  з похибкою квантування  $\delta/k$ . У суматорі формується загальне значення поправки, що коригує похибку перетворення в АЦП1. По закінченню перетворення код АЦП1 підсумовується з поправкою у суматорі. Цей результат потім підсумовується по закінченню перетворення в АЦП1 з вихідним кодом АЦП2. У результаті з виходу суматора зчитується скоригований  $n$ -розрядний результат перетворення. Похибка перетворення для такого методу коригування, з урахуванням похибок квантування  $\delta' = \frac{\delta}{k}$  АЦП, дорівнює

$$\Delta_{np} = \delta \sqrt{1 + \frac{1}{k}}. \quad (5)$$

На базі запропонованого методу можна реалізувати ППАЦП з інтегральним розрядним коригуванням, структурна схема якого представлена на рис. 1. На першому етапі коригування після визначення розрядних похибок у кодї АЦП2, в ПЗП записуються значення похибок усіх кодових комбінацій розрядів, що коригуються. Тобто поправки до коду ЦАП формуються також, як і значення, розрядних похибок, на першому етапі. Це необхідно у зв'язку з тим, що час формування поправки може зменшити швидкодію ППАЦП. Поправки формують відповідно до значень розрядних похибок. На другому етапі коригування у процесі аналого-цифрового перетворення формування точного коду також здійснюється згідно виразу (4). Після перетворення в АЦП1 по коду результату  $N_1$ , як відповідній адресі, зчитується з

ПЗП значення поправки  $\sum_{i=1}^n \Delta m_i \cdot \alpha_i$  до коду  $N_1 = \sum_{i=1}^n 2^{-i} \cdot \alpha_i$ , яке і надходить у вихідний суматор (СМ).

На виході СМ за формулою (4) формується точне значення ( $N_T$ ) перетвореного сигналу.

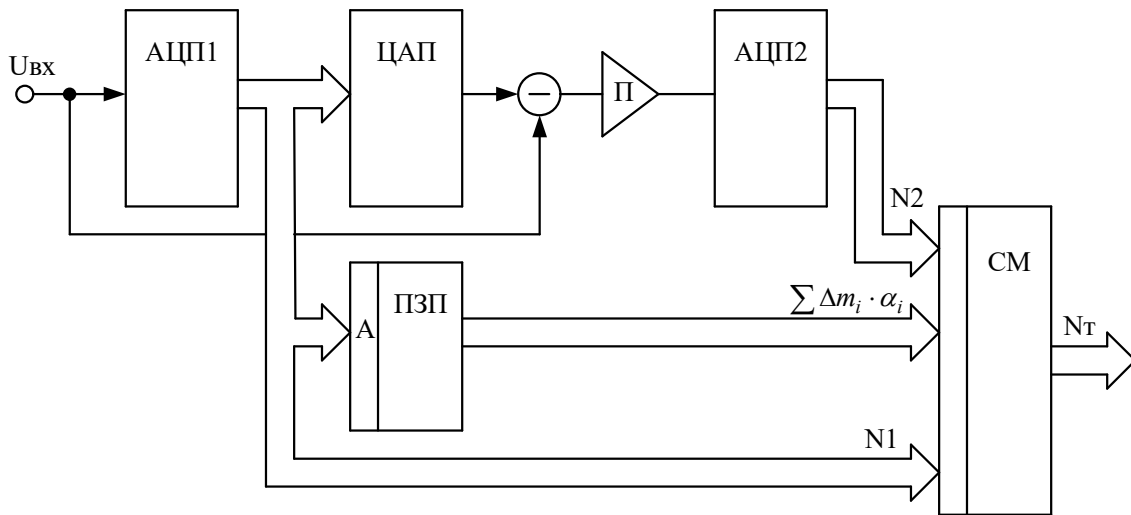


Рис. 1. Структурна схема ППАЦП з інтегральним розрядним коригуванням

ППАЦП функціонує з уніполярними сигналами при використанні точного ЦАП, тобто АЦП2 завжди претворює сигнал однієї полярності. Похибки, які вносяться ЦАП можуть бути різних знаків, тому

для виконання умови уніполярності  $U_{вх} - \sum_{i=1}^n (U_{нi} + \Delta U_i) \cdot \alpha_i > 0$  необхідно вводити в АЦП відповідні

додаткові дані. Результат перетворення у такому ППАЦП без коригування похибок ЦАП формується підсумовуванням зі зсувом результатів перетворення  $N_1$  – АЦП1 та  $N_2$  – АЦП2

$$N = N_1 + N_2 = \sum_{i=1}^n 2^{-i} \cdot \alpha_i + \sum_{n+p-m}^{n+p} 2^{-i} \cdot \alpha_i, \quad (6)$$

де  $m$  – розрядність АЦП2.

Умова (6) відповідно до особливостей методу діапазонів перетворення, що перекриваються, дозволяє виключати похибки, що вносяться АЦП першого каскаду, у тому числі додаткове зміщення [1]. Перекриття на  $m - p$  розрядів обирається таким чином, щоб діапазон перетворення АЦП2 перекривав максимально можливе значення залишкового сигналу з урахуванням похибок, що вносяться АЦП1 та ЦАП.

Структурна схема ППАЦП з диференціальним коригуванням представлена на рис. 2. Аналогічно інтегральному методу на першому етапі коригування після визначення значень розрядних похибок у коді АЦП2, в ОЗП записуються значення похибок усіх кодових комбінацій розрядів АЦП, що коригуються. Ці поправки формують відповідно до значень розрядних похибок ( $\Delta m_i$ ). При цьому, по шині даних у процесор надходять результати перетворень першого та другого АЦП. Окрім того, процесор по шині даних здійснює встановлення кодів ( $N_2^i$ ) в ЦАП аналого-цифрового перетворювача при визначенні розрядних похибок нелінійності та запис значень розрядних похибок в ОЗП на першому етапі коригування.

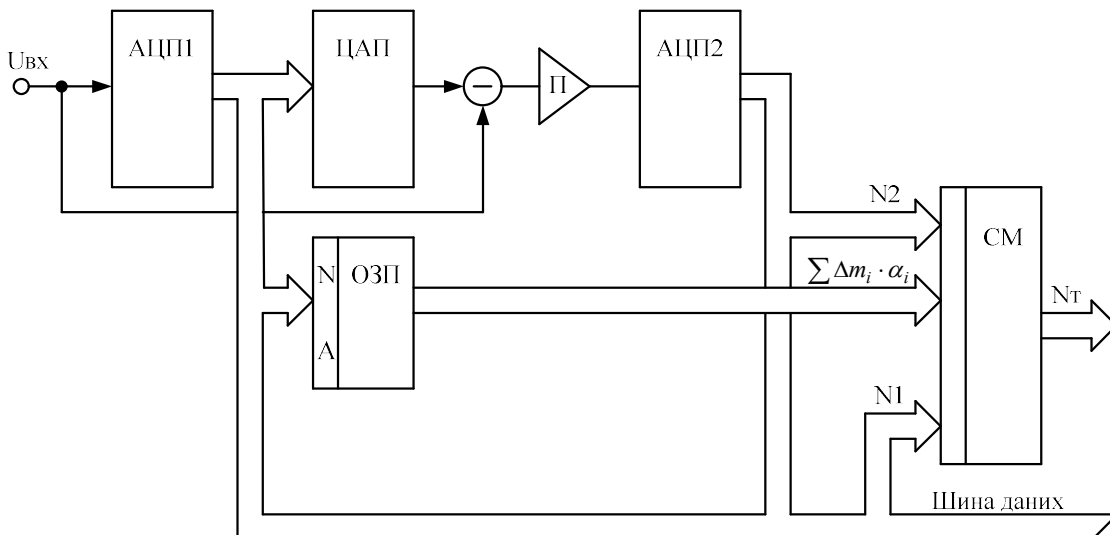


Рис. 2. Структурна схема ППАЦП з диференціальним коригуванням

Розглянуті структури ППАЦП не потребують використання точного ЦАП на етапі визначення розрядних похибок. Запропонований метод коригування дозволяє вилучати прогресуючі похибки ППАЦП за рахунок того, що коригувальна дія у ньому здійснюється у цифровій формі.

Виконаємо аналіз ефективності запропонованого методу покращення роздільної здатності ППАЦП. Для кількісного оцінювання якості функціонування ППАЦП з коригуванням похибок нелінійності використовуються пакет схемотехнічного моделювання NI Multisim 11.0. При цьому вихідний сигнал ППАЦП досліджується у частотній області, тобто аналізуються числові параметри спектра аналогового еквівалента вихідного сигналу АЦП (рис. 3).

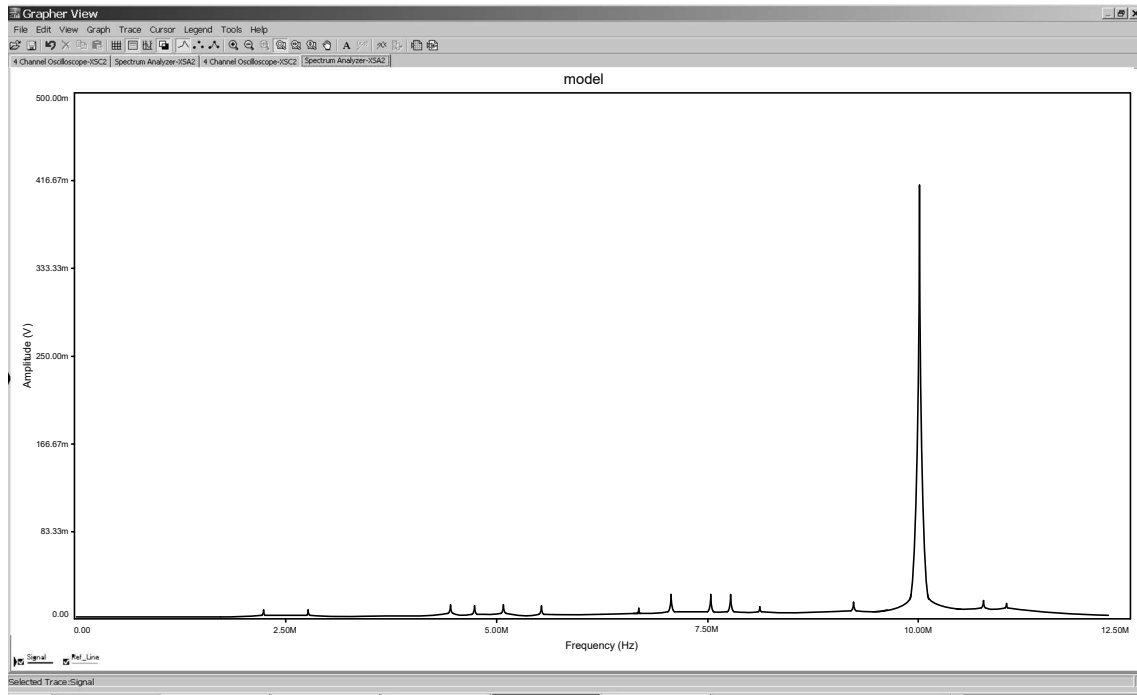


Рис. 3. Форма вихідного сигналу АЦП у частотній області

Ступінь компенсації похибки за рахунок цифрового коригування похибок нелінійності оцінимо за кількістю ефективних розрядів пристрою аналого-цифрового перетворення [7]. За результатами визначення гармонічних й інтермодуляційних спотворень вираз для ефективного числа розрядів ППАЦП буде мати вигляд:

$$n_{ef} = \left[ 1,66 \lg \frac{U_1^2}{\sum_{k=1}^N U_k^2 + \sum_{l=1}^N U_l^2} \right] - 0,292, \quad (7)$$

де  $U_1$  – значення амплітуди основної складової спектра сигналу;

$U_k$  – значення амплітуд усіх частотних компонентів, окрім основної складової спектра сигналу;

$U_l$  – значення амплітуд інтермодуляційних складових.

Використовуючи процедуру вимірювання  $n_{ef}$  для кількох значень частоти вхідного сигналу, можна одержати залежність ефективного числа розрядів від частоти (рис. 4).

Результати моделювання дозволяють стверджувати, що метод цифрового коригування похибок нелінійності ППАЦП дає можливість підвищити ефективну розрядність

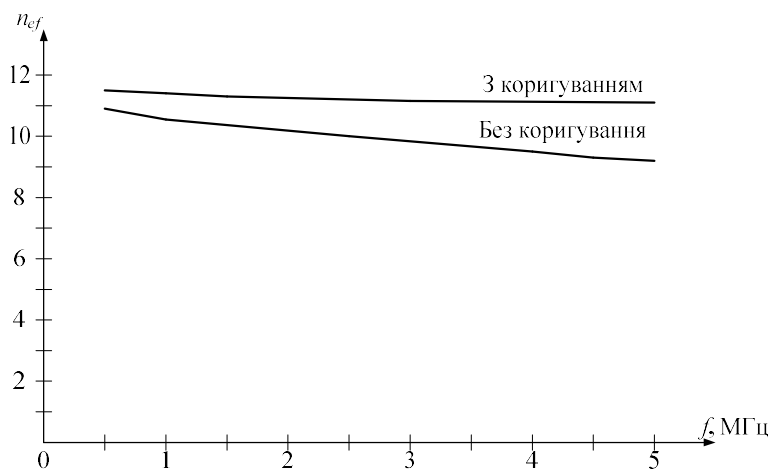


Рис. 4. Залежність ефективної кількості розрядів від частоти вхідного сигналу

перетворювача у смузі низьких частот на 0,6 біта, а на граничних частотах на 1,9 біта.

### Висновки

У роботі запропоновано метод покращення роздільної здатності АЦП паралельно-послідовного типу на базі коригування похибок нелінійності. Процес коригування складається з двох етапів. На першому етапі виконується визначення розрядних похибок у вихідних кодах АЦП, які записують у запам'ятовувальній пристрій перетворювача. Далі відбувається процес формування та уведення поправок. Компенсація похибок нелінійності виконується у цифровій формі з використанням суматора на виході АЦП.

Наведено структурні схеми ППАЦП, що базуються на інтегральному та диференціальному коригуванні похибок нелінійності АЦП.

Аналіз ефективності запропонованого методу підтвердив, що завдяки розробленому методу вдається підвищити ефективну розрядність 12-розрядного швидкодіючого ППАЦП на 1,9 біта у смузі високих частот.

Розроблені ППАЦП дозволяють виконувати перетворення сигналів у широкій смузі частот і характеризуються високою роздільною здатністю та відповідністю похибок перетворення задекларованій роздільній здатності АЦП.

Запропоновані ППАЦП можна використовувати в аналого-цифрових трактах сучасних інформаційно-вимірювальних системах.

### Література

1. Бортник Г.Г. Методи та засоби аналого-цифрового перетворення високочастотних сигналів: монографія / Г. Г. Бортник, С.Г. Бортник, В. М. Кичак. – Вінниця: ВНТУ, 2013. – 128с.
2. Бортник Г.Г. Аналого-цифрові тракти комп'ютерних систем з цифровим обробленням високочастотних сигналів: монографія / Г.Г. Бортник, В.М. Кичак, О.В. Стальченко. – Вінниця: ВНТУ, 2016. – 140 с.
3. S. Medawar, P. Händel, N. Bjorsell, "Input dependent integral nonlinearity modeling for pipelined analog-digital converters", IEEE Transactions on Instrumentation and Measurement, 59 (10), pp. 2609–2620. 2010.
4. S.B. Mashhadi, S.I. Pishbin, "Efficient modeling and analysis of switch-induced error voltage in high resolution SAR ADCs", 18th IEEE International Conference on Electronics, Circuits and Systems, pp. 208- 211. 11-14 Dec. 2011.
5. S. Medawar, B. Murmann, P. Händel, "Integral nonlinearity modeling and calibration of measured and synthetic pipeline Analog-to Digital Converters", IEEE Transactions on Instrumentation and Measurement, 63 (3), pp. 502-511. 2014.
6. S. Medawar, P. Händel, N. Bjorsell, "Postcorrection of pipelined analog digital converters based on input-dependent integral nonlinearity modeling", IEEE Transactions on Instrumentation and Measurement, 60 (10), pp. 3342- 3350. 2011.
7. Г.Г. Бортник, М.В. Васильківський, О.В. Стальченко, "Пристрій аналого-цифрового перетворення високочастотних сигналів", Вимірювальна та обчислювальна техніка в технологічних процесах, № 3, С. 82-85, 2013.

### References

1. Bortnyk H.H. Metody ta zasoby analoho-tsyfrovoho peretvorennia vysokochastotnykh syhnaliv: monohrafiia / H. H. Bortnyk, S.H. Bortnyk, V. M. Kychak. – Vinnytsia: VNTU, 2013. – 128s.
2. Bortnyk H.H. Analoho-tsyfrovii traky kompiuternykh system z tsyfrovym obroblienniam vysokochastotnykh syhnaliv: monohrafiia / H.H. Bortnyk, V.M. Kychak, O.V. Stalchenko. – Vinnytsia: VNTU, 2016. – 140 s.
3. S. Medawar, P. Händel, N. Bjorsell, "Input dependent integral nonlinearity modeling for pipelined analog-digital converters", IEEE Transactions on Instrumentation and Measurement, 59 (10), pp. 2609–2620. 2010.
4. S.B. Mashhadi, S.I. Pishbin, "Efficient modeling and analysis of switch-induced error voltage in high resolution SAR ADCs", 18th IEEE International Conference on Electronics, Circuits and Systems, pp. 208- 211. 11-14 Dec. 2011.
5. S. Medawar, B. Murmann, P. Händel, "Integral nonlinearity modeling and calibration of measured and synthetic pipeline Analog-to Digital Converters", IEEE Transactions on Instrumentation and Measurement, 63 (3), pp. 502-511. 2014.
6. S. Medawar, P. Händel, N. Bjorsell, "Postcorrection of pipelined analog digital converters based on input-dependent integral nonlinearity modeling", IEEE Transactions on Instrumentation and Measurement, 60 (10), pp. 3342- 3350. 2011.
7. H.H. Bortnyk, M.V. Vasykivskyi, O.V. Stalchenko, "Prystrii analoho-tsyfrovoho peretvorennia vysokochastotnykh syhnaliv", Vymiriuvanna ta obchysluvalna tekhnika v tekhnolohichnykh protsesakh, № 3, S. 82-85, 2013.