

<https://doi.org/10.31891/2307-5732-2026-361-5>  
УДК 681.5

**ВАРХОЛЯК РОМАН**

Тернопільський національний технічний університет імені Івана Пулюя  
<https://orcid.org/0009-0006-4447-1770>  
e-mail: [varrom@ukr.net](mailto:varrom@ukr.net)

**ТРЕМБАЧ РОСТИСЛАВ**

Тернопільський національний технічний університет імені Івана Пулюя  
<https://orcid.org/0000-0003-4883-9393>  
e-mail: [trb@tntu.edu.ua](mailto:trb@tntu.edu.ua)

## ОБГРУНТУВАННЯ ВИБОРУ СТРУКТУРИ АЦП ДЛЯ ПІДВИЩЕННЯ ТОЧНОСТІ СИСТЕМ АВТОМАТИЗАЦІЇ КОНТРОЛЮ ТИСКУ

Ця стаття присвячена обґрунтуванню вибору структури АЦП, а також дослідженню методів підвищення як енергоефективності, так і роздільної здатності аналого-цифрових перетворювачів Delta-Sigma (АЦП) з перемиканням конденсаторів шляхом використання нових схем малої потужності CMOS.

**Ключові слова:** АЦП, перетворювач тиску,  $\Delta\Sigma$ -модулятори, передискретизація, роздільна здатність.

**VARKHOLIAK ROMAN, TREMBACH ROSTYSLAV**

Ternopil Ivan Puluj National Technical University

## JUSTIFICATION FOR THE SELECTION OF AN ADC ARCHITECTURE TO ENHANCE ACCURACY IN AUTOMATED PRESSURE CONTROL SYSTEMS

This article is dedicated to the research of methods for enhancing both the energy efficiency and the high-resolution capabilities of Switched-Capacitor (SC) Delta-Sigma ( $\Delta\Sigma$ ) Analog-to-Digital Converters (ADCs). It is also analyzed and justified why this architecture is chosen for further research. This is achieved by leveraging novel low-power CMOS circuit design techniques, specifically in scaled CMOS technologies. The priorities are high circuit performance, robustness, low manufacturing costs, and a simple design architecture that can be readily reused by the scientific community for validation and further development. The Delta-Sigma architecture was chosen for its inherent simplicity and high tolerance to major analog block non-idealities, such as op-amp finite gain and comparator offsets.

The presented study uses switched-capacitor techniques as the core implementation to achieve high-precision matching between devices, resulting in a performance dependency that relies primarily on the external clock jitter rather than absolute component values. The developed low-current analog circuit methods are aimed at maximizing energy efficiency, taking advantage of the weak and moderate inversion regions of MOS transistor operation to optimize transconductance efficiency (gm/ID). New Class-AB operational amplifiers are also explored as active elements that use energy primarily for dynamic transitions, thus reducing static power consumption at the circuit level.

Circuits that are not actively used during a certain period of time are dynamically powered down (power-gated), thus reducing overall power consumption at the system level and minimizing the number of switching devices in the critical signal path. Circuit reliability is improved by deliberately avoiding bootstrapping or other methods that could increase the operating voltage above the nominal power supply. This design choice prevents oxide overstress and enhances the long-term reliability of the target CMOS technology.

The study also examines circuit topologies that remain relatively stable across process and temperature variations. Increased stability means better manufacturing yield and fewer inconsistencies between simulated and measured results. Taken together, these design decisions allow the converter to achieve better precision and efficiency without resorting to complex timing schemes, background calibration, or digital post-processing. This makes the proposed techniques suitable for a variety of intelligent sensor systems, including pressure and temperature measurement applications.

**Keywords:** ADC (Analog-to-Digital Converter), pressure transducer, delta-sigma modulators, oversampling, resolution.

Стаття надійшла до редакції / Received 18.11.2025  
Прийнята до друку / Accepted 11.01.2026  
Опубліковано / Published 29.01.2026



This is an Open Access article distributed under the terms of the [Creative Commons CC-BY 4.0](https://creativecommons.org/licenses/by/4.0/)

© Вархоляк Роман, Трембач Ростислав

### Проблематика та її зв'язок із науковими чи практичними завданнями

Одним з важливих напрямків розвитку промисловості є впровадження сучасних систем автоматизації, які дозволяють контролювати та регулювати різні параметри виробництва, такі як тиск, температура, рівень, тощо. Ці системи часто зазнають помилок або збоїв через недостатню точність вторинних вимірювальних приладів, неправильну настройку параметрів, зовнішні перешкоди.[1]

Велику роль в цьому процесі відіграють аналого-цифрові перетворювачі (АЦП). Технологічні процеси на сучасних підприємствах вимагають високої точності АЦП, оскільки це впливає на якість продукції, безпеку персоналу та енергоефективність.[1]

### Формулювання цілей статті

Метою роботи є обґрунтування вибору архітектури АЦП, який має високу швидкодію, низький рівень шуму, мале споживання енергії та широкий динамічний діапазон, використовуючи сучасні методи та алгоритми (динамічне подання, цифрова обробка для компенсації помилок АЦП). [1]

Точність АЦП залежить від багатьох факторів, таких як роздільна здатність (кількість біт, які використовуються для кодування сигналу), швидкодія (частота дискретизації, кількості вимірювань сигналу за одиницю часу), лінійність (ступінь відповідності між аналоговим та цифровим сигналами), диференціальна та інтегральна не лінійність, помилка нуля, помилка коефіцієнта масштабування, температурна стабільність.[1]

При розробці АЦП для таких систем потрібно передбачити і врахувати такі фактори:

- динамічний діапазон сигналу (максимальне та мінімальне значення напруги, яке може бути виміряно);
- шумова стійкість (здатність АЦП працювати в умовах електромагнітних перешкод);
- температурна стабільність (здатність АЦП зберігати точність при зміні температури навколишнього середовища);
- енергоспоживання (кількість електричної енергії, яку споживає АЦП при роботі).[1]

Розробка АЦП для підвищення точності систем автоматизації, зокрема для контролю тиску та температури є актуальною та складною задачею, яка потребує аналізу різних параметрів з урахуванням специфіки конкретної системи.[1]

**Виклад основного матеріалу**

Типова система АЦП зображена на рисунку 1. Вона перетворює аналоговий сигнал неперервного часу  $V_{in}(t)$  у цифровий сигнал дискретного часу  $\delta_{out}(n)$ , що є цифровим числом, яке вимірює аналогове значення  $V_{in}(t)$  з певною похибкою.

На вході знаходиться фільтр (anti-aliasing filter), який зазвичай має низькочастотну передавальну функцію. Він обмежує смугу пропускання вхідного сигналу, запобігаючи накладанню спектрів сигналу та шуму поза смугою в основній смузі навколо кратних частоти дискретизації  $fs_f$  на наступному етапі [2].

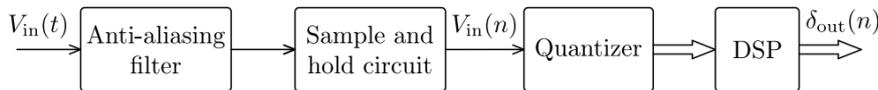


Рис. 1. Типова схема АЦП

Далі схема вибірки та утримання (S/H) виконує дискретизацію сигналу у часовій області, після чого квантизатор проводить дискретизацію за амплітудою, подаючи отриманий цифровий сигнал у систему цифрової обробки сигналів (DSP) для подальшої обробки, наприклад, цифрової фільтрації чи децимації.

Кількість дискретних значень  $M$ , які АЦП може видавати на виході, визначає параметр роздільної здатності, що зазвичай виражається у кількості бітів  $N$ :

$$N = \log_2(M). \tag{1}$$

На рисунку 2 зображено приклад передавальної характеристики та функції похибки для рівномірного квантизатора АЦП з  $M=4M = 4$ , що, згідно з формулою (1), відповідає 2-бітній роздільній здатності. Тут  $V$  — це аналогова вхідна напруга в межах повної шкали  $V_{min} < V < V_{max}$ , а  $\delta_q$  — квантований вихід. Найменший значущий біт (LSB) в АЦП визначається кроком квантування  $\Delta$ :

$$\Delta = V_{max} - \frac{V_{min}}{2^N} - 1. \tag{2}$$

Похибка квантування  $\epsilon_q$  завжди присутня під час нормальної роботи АЦП, і її значення знаходиться в діапазоні від  $-\Delta/2$  до  $\Delta/2$ , як показано на рисунку 2. Вважається, що розподіл імовірності  $\epsilon_q$  є рівномірним у цьому діапазоні. Як наслідок,  $\epsilon_q$  розглядається як білий шум — так званий шум квантування — з рівномірним розподілом потужності в межах половини частоти дискретизації від  $-fs/2$  до  $fs/2$  [3].

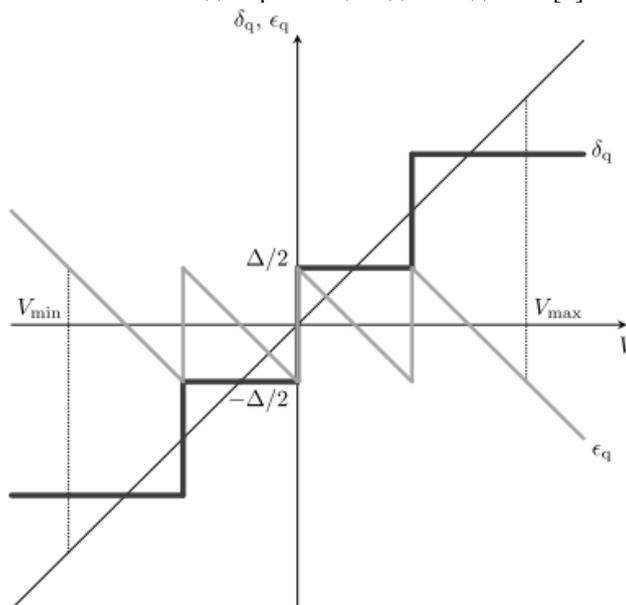


Рис. 2. Приклад передавальної характеристики та функції помилки квантувальника 2-бітного АЦП

Всі фундаментальні архітектури АЦП, які використовуються сьогодні, були відкриті та опубліковані в тій чи іншій формі до середини 1960-х років [2-4]. Вони будуть розглянуті нижче. У всіх випадках передбачається, що вхідний аналоговий сигнал проходить через фільтр для усунення височастотних перешкод, а отриманий вихідний цифровий сигнал передається в DSP-схему без зворотного зв'язку до ядра АЦП.

## Сучасний стан досліджень

Принцип дії Flash-АЦП, зображений на рисунку 3, певною мірою є спільним для всіх фундаментальних архітектур АЦП. Вхідний сигнал  $V_{in}(t)$  спочатку відбирається з частотою Найквіста — удвічі більшою за смугу пропускання (BW) вхідного сигналу, щоб уникнути накладання спектрів (aliasing). Далі кожен зразок сигналу порівнюється за допомогою масиву компараторів, які запускаються на початку кожного циклу перетворення. Кожен компаратор генерує вихідний сигнал високого або низького логічного рівня залежно від того, чи перевищує  $V_{in}(n)$  його опорну напругу. Опорні напруги зазвичай формуються за допомогою резистивного дільника напруги (resistor ladder), підключеного між позитивною  $V_{max}$  та негативною  $V_{min}$  опорними напругами. У схемах на основі конденсаторів з вибіркою (SC) замість резисторів можуть застосовуватись конденсатори, що зменшує статичне енергоспоживання. Якщо частота дискретизації  $f_{sf}$  достатньо висока, втрати заряду в конденсаторах можна знехтувати.

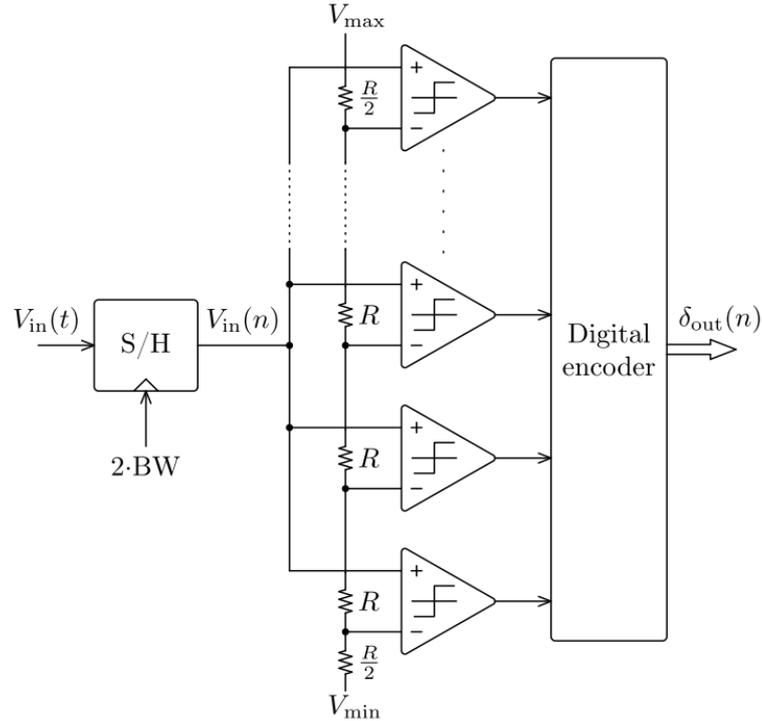


Рис. 3. Принцип дії Flash-АЦП

З точки зору всього блоку, масив компараторів генерує термометричний код, який потім перетворюється на двійковий код  $\delta_{out}(n)$  за допомогою цифрового енкодера. Зазвичай алгоритм кодування також включає корекцію помилок типу "бульбашка" (Bubble Error Correction, BEC), щоб запобігти тому, коли один компаратор який помилково спрацює не зіпсував увесь вихідний код [5-7]. Лінійність Flash-АЦП покращується за рахунок зменшення вхідного еквівалентного зсуву компараторів, що досягається шляхом використання індивідуальних підсилювачів-передпідсилювачів. Вони також ізолюють резистивний дільник від шуму зворотного впливу, викликаного великою активністю компараторів. Однак використання підсилювачів збільшує енергоспоживання. Щоб отримати роздільну здатність у  $NN$  бітів, Flash-АЦП повинен мати  $2N-1$  компараторів. Наприклад, для досягнення 8-бітної роздільності потрібно аж 255 компараторів, що значно збільшує споживання потужності та площу мікросхеми. Крім того, зростає вхідне навантаження, що зменшує смугу пропускання. Тому Flash-АЦП не підходять для застосувань, що потребують високої роздільності.

Кількість необхідних компонентів можна зменшити порівняно з Flash-АЦП, якщо його поділити на два паралельні суб-АЦП, як показано на рисунку 4: перший — для грубого квантування, визначаючи найбільш значущі біти (MSB)  $\delta_{coarse}(n)$ ; другий - для точного квантування, визначаючи молодші біти (LSB)  $\delta_{fine}(n)$ . На вході точного АЦП застосовується "folding" схема, яка трансформує вхідний сигнал у періодичний сигнал, що повторюється в інтервалах, визначених MSB.

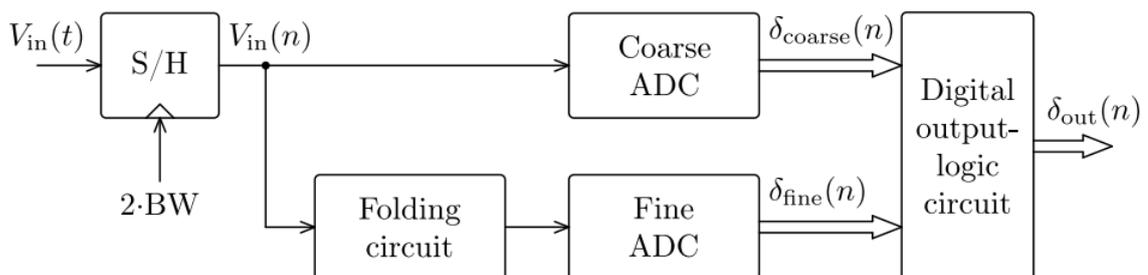


Рис. 4. Схема складного АЦП

Це дозволяє повторно використовувати один і той самий набір компонентів для всіх інтервалів. Тому такий тип АЦП називається складний АЦП "folding ADC". Наприклад, щоб отримати 8-бітну роздільність із 4-бітним грубим і 4-бітним точним АЦП, потрібно всього  $2^4 - 1 + 2^4 - 1 = 30$  компараторів, порівняно з 255 для Flash-АЦП. Зекономлена площа і енергоспоживання можуть бути спрямовані на підвищення точності. Сучасні складні АЦП досягають роздільної здатності до 14 біт [8-9], хоча цього все ще недостатньо для задач цього дослідження.

Конверсні АЦП додатково покращують роздільну здатність та мінімізують площу інтеграції, розділяючи процеси перетворення даних на два або більше послідовних етапи піддіапазонного квантування, як показано на рис. 5. Кожен етап піддіапазонного квантування включає:

- блок вибірки-затримки (S/H), що працює на подвоєній ширині смуги (2-BW),
- аналогово-цифрове перетворення, яке забезпечує частину бітів для цифрової постобробки,
- цифро-аналогове відновлення,
- віднімання реконструйованого аналогового сигналу від попередньо вибіркового вхідного сигналу,
- підсилення результату віднімання для адаптації амплітуди залишкового сигналу до повної шкали входу наступного етапу.

Перший етап відповідає за найбільш значущі біти (MSB), а наступні етапи уточнюють вимірювання, досягаючи найменш значущих бітів (LSB). Оскільки кожен етап здійснює перетворення того самого вхідного зразка в різні моменти часу, у схемі постобробки реалізується функція вирівнювання за часом. Крім того, вона може включати цифрову корекцію помилок, що дозволяє послабити вимоги до точності окремих етапів [11-13].

Хоча високу пропускну здатність легко забезпечити за допомогою конверсної архітектури АЦП, необхідність послідовної обробки сигналу вводить затримку в L тактів порівняно з Flash АЦП, де L — це кількість конверсних стадій. Цей тип АЦП пропонує один із найкращих компромісів між споживанням потужності та досяжною роздільною здатністю. Однак більшість практичних значень роздільної здатності в опублікованих розробках не перевищують 13 біт [10]. Обмеження роздільної здатності впливає з блоків, позначених літерою А на Рис. 5, оскільки вони відповідають за передачу залишкового сигналу між стадіями: будь-яке відхилення від ідеального значення коефіцієнта підсилення А неминуче призводить до не лінійності перетворення, що обмежує досяжну точність.

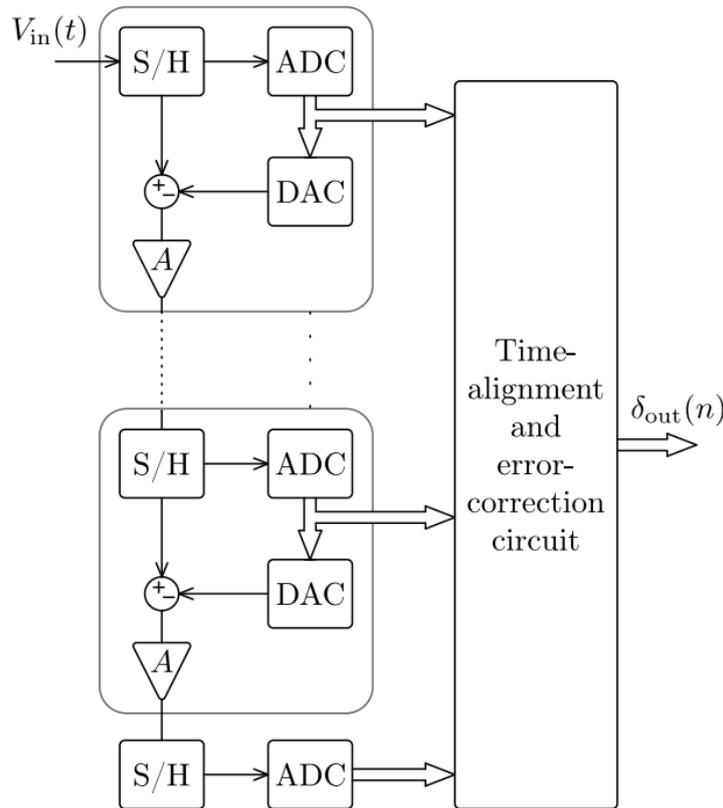


Рис. 5. Архітектура конверсного АЦП

В АЦП з послідовним наближенням замість каскадних етапів, використовується один етап у замкненому циклі. Протягом одного циклу вибірки сигнал послідовно порівнюється з сигналом зворотного зв'язку, як показано на рисунку 6,  $V_{fb}(n)$ , який оновлюється ЦАП за SAR-алгоритмом бінарного пошуку. Це дозволяє поступово уточнювати сигнал до максимально можливої точності. У результаті на виході формується цифровий сигнал  $\delta_{out}(n)$  з максимальною роздільною здатністю, яка досягається наприкінці циклу перетворення.

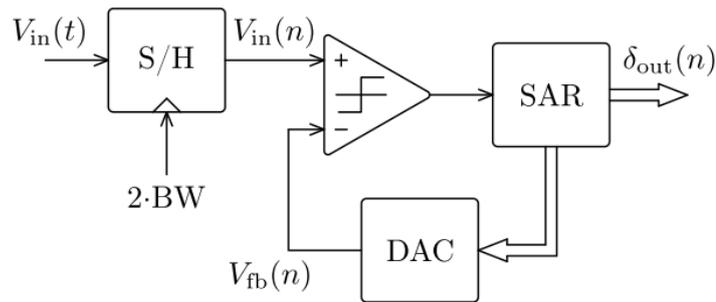


Рис. 6. Схема АЦП послідовного наближення

Оскільки кількість аналогових блоків зменшується, SAR АЦП також демонструють низьке енергоспоживання. Однак досяжні практичні значення роздільної здатності обмежуються не лінійністю ЦАП зворотного зв'язку і все ще не перевищують 14 біт, згідно з опублікованими передовими розробками [14].

На відміну від описаних вище Nyquist-АЦП, дельта-сигма ( $\Delta\Sigma$ )-АЦП використовують частоту дискретизації  $f_s$  набагато вищу за частоту Найквіста:  $f_n=2\cdot BW$ . Це дозволяє зменшити шум квантування у смузі сигналу, завдяки "перформатуванню шуму" (noise shaping). Якщо частота дискретизації ( $f_s$ ) збільшується порівняно з частотою Найквіста ( $f_n$ ), до характеристик АЦП додається функція передискретизації (oversampling), яка вводить коефіцієнт передискретизації (OSR), визначений як [15]:

$$OSR = \frac{f_s}{f_n} = \frac{f_s}{2} \cdot BW. \quad (3)$$

Використовуючи рівняння (3), потужність квантового шуму у смузі частот ( $P_\epsilon$ ) може бути визначена як:

$$P_\epsilon = BW \int_{-BW}^{BW} S_\epsilon(f) df = \Delta^2 12 \cdot OSR. \quad (4)$$

З рівняння (4) видно, що передискретизація дозволяє зменшити ( $P$ ) на 3 дБ при кожному подвоєнні OSR. Для АЦП з передискретизацією це означає збільшення роздільної здатності на 0,5 біт на октаву.

Додаткові переваги передискретизації:

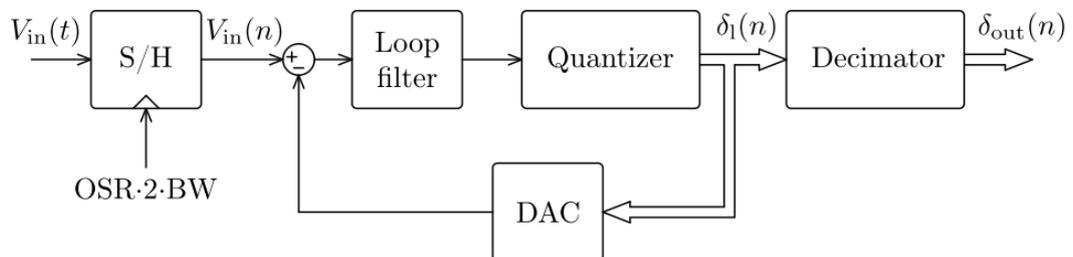
- Зменшуються вимоги до аналогового фільтра придушення згортання (aliasing), оскільки для АЦП зі швидкістю Найквіста потрібен різкий перехідний діапазон, що може викликати фазові спотворення [16].
- Полегшена реалізація аналогової передобробки сигналу.

Недоліки передискретизації:

- Необхідне перевищення тактової частоти (overclocking) відносно кінцевої швидкості виводу даних, як у випадку SAR АЦП.
- Це призводить до зменшення доступної смуги пропускання.

Подальше покращення роздільної здатності:

Роздільну здатність АЦП з передискретизацією можна легко реалізувати додатковим придушенням ( $P$ ) через архітектуру АЦП на основі  $\Delta\Sigma$ -модулятора ( $\Delta\Sigma M$ ), як показано на рис. 7. Тут аналогова версія (delta), що генерується ЦАПом зворотного зв'язку, віднімається з вибіркового входного сигналу та обробляється дискретним фільтром високого підсилення. Це забезпечує перенесення більшої частини квантового шуму за межі смуги сигналу, а його еквівалентне значення ( $P$ ) зменшується. Цей процес називається формуванням шуму (noise shaping).

Рис. 7. Схема роботи  $\Delta\Sigma$ -АЦП

Як видно з рисунка 7, застосовується  $\Delta\Sigma$ -модулятор з високим підсиленням у сигнальній смузі, який пропускає сигнал, але відфільтровує шум, переміщуючи його за межі смуги. Потім цифровий дециматор (блок що зменшує частоту дискретизації) видаляє зайвий шум і знижує частоту до Nyquist-рівня. Ця архітектура має вищу роздільність при менш жорстких вимогах до аналогових фільтрів, хоча потребує вищої частоти тактування та більших обчислювальних ресурсів. Станом на сьогодні  $\Delta\Sigma$ -АЦП демонструють найкращі характеристики серед усіх типів.

### Результати дослідження

Аналого-цифрові перетворювачі різних типів та з різними характеристиками неможливо порівнювати безпосередньо. З цієї причини їхнє порівняння виконується шляхом об'єднання найважливіших спільних

параметрів в єдиний показник якості. Найкращим вибором є показник якості Шраера (Schreier FOM), який також враховує обмеження, пов'язані з тепловим шумом [15,17]:

$$FOMS = SNDR + 10 \log \left( \frac{BW}{P} \right) \tag{5}$$

Порівняння характеристик сучасних АЦП різних архітектур проілюстровано на Рис. 8. Проаналізувавши його можна побачити, що архітектура ΔΣ (Дельта-Сигма) на конденсаторах які перемикаються (SC) є найкращим вибором для розробки АЦП з високою роздільною здатністю. Інші якісні параметри, які не включені в Рис. 8, такі як затримка (latency) та площа, порівнюються для всіх груп АЦП у Таблиці 1. З цього порівняння випливає, що, чим нижча смуга пропускання, та вища затримка, як у випадку сенсорних застосувань, ΔΣ залишається найбільш привабливою архітектурою АЦП.

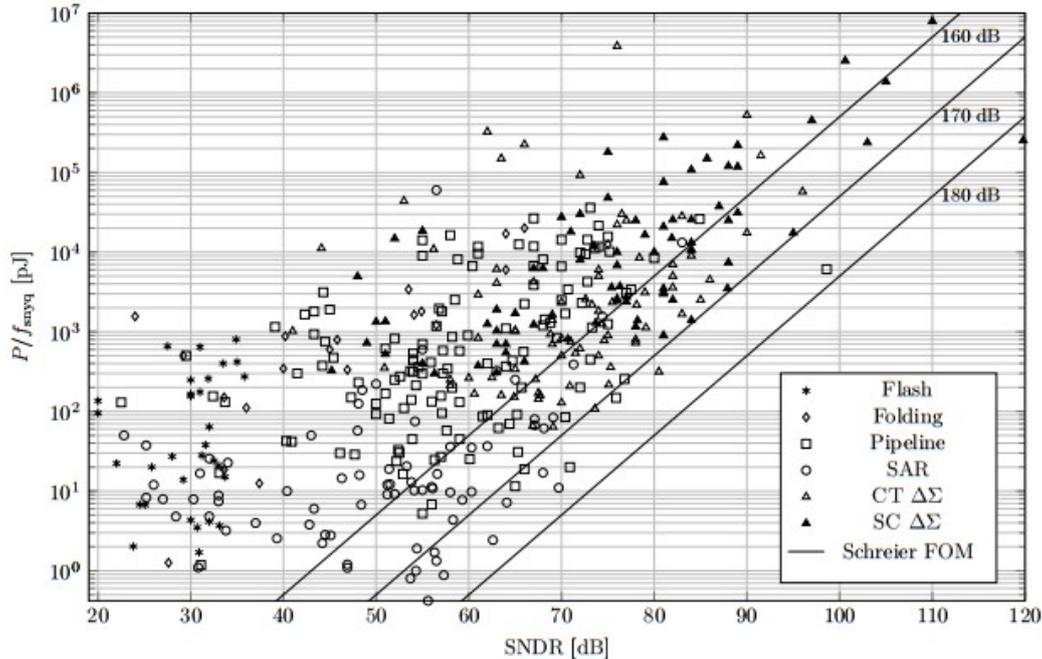


Рис.8. Порівняння характеристик найсучасніших АЦП, представлених в період з 2010 по 2020 рік. Лінії 160-, 170- та 180-дБ показника якості Шраера нанесені як візуальний орієнтир

Таблиця 1

**Порівняльний аналіз архітектур АЦП**

Архітектура	Роздільна здатність	Смуга пропускання	Затримка	Площа
Паралельна (Flash)	Низька	Висока	Низька	Висока
Складна (Folding)	Середня	Середньо-висока	Низька	Висока
Конверсна (Pipeline)	Середньо-висока	Середньо-висока	Висока	Середня
Послід. наближення (SAR)	Середньо-висока	Низько-середня	Низька	Низька
ΔΣ (Дельта-Сигма)	Висока	Низька	Висока	Середня

Початкові робочі гіпотези, прийняті як основа цього аналізу, можна обґрунтувати і узагальнити у вигляді таких очікувань:

- використовуючи стандартну КМОП-технологію без спеціальних опцій, можливо створити АЦП з високою роздільною здатністю, низьким енергоспоживанням і без потреби в калібруванні, яке при цьому буде недорогим у виготовленні;
- застосування найпростіших можливих схемотехнічних рішень дозволяє зменшити час і складність проектування, що дає змогу зосередитись на їх подальшому вдосконаленні та адаптації до високопродуктивної мікроелектроніки;
- для створення низькопотужних схем краще застосовувати низькопотужні, а не низьковольтні методи, оскільки вони забезпечують вищу енергоефективність.

Щоб перевірити ці гіпотези, необхідно розробити високороздільний, низькопотужний АЦП на основі стандартної КМОП-технології.

Основні аспекти запланованої розробки:

- застосування низькопотужної техніки, яка використовує слабку або середню інверсію МОП-транзисторів, що дозволить зменшити споживання енергії на рівні пристрою;
- блоки, що не будуть використовуватися у певні періоди часу, вимикаються, що дозволить зменшити

системне енергоспоживання й кількість активних перемикачів у траєкторії сигналу;

### Висновки

У межах цієї роботи проведений аналіз існуючих архітектур АЦП та обґрунтування вибору  $\Delta\Sigma$ -модулятора з високою роздільною здатністю і низьким споживанням потужності. Використання архітектури  $\Delta\Sigma$ , є простою та стійкою до недосконалостей базових блоків. Техніка перемикання конденсаторів (SC) забезпечить хорошу узгодженість між елементами, залежність буде лише від нестабільності тактового сигналу (побічні ефекти, наприклад, випадкове надходження заряду, враховуються й компенсуються). Надійність схеми можна покращити завдяки відмові від техніки підвищення живлення (bootstrapping), яка може зменшити термін служби пристроїв.

Ці розробки можуть знайти застосування там, де необхідні високоточні промислові вимірювання, у тому числі в перетворювачах тиску та температури.

### Література

1. Вархоляк Р. П. Підвищення точності систем автоматизації для контролю тиску та температури в промислових умовах: тези доп. учасників XII Міжн. наук.-техн. конф. молодих учених та студентів «Актуальні задачі сучасних технологій», м. Тернопіль, 6–7 грудня 2023 р. – С. 372.
2. Kester W. ADC Architectures III: Sigma-Delta ADC Basics / W. Kester. – *Analog Devices Tutorial MT-022*. – 2019. – 25 p.
3. Norsworthy S. R., Schreier R., Temes G. C. Delta-Sigma Data Converters: Theory, Design, and Simulation / S. R. Norsworthy, R. Schreier, G. C. Temes. – Wiley-IEEE Press, 2006. – P. 25–26.
4. De la Rosa J. M., Pérez-Verdú B. Sigma-Delta Converters: Practical Design Guide / J. M. de la Rosa, B. Pérez-Verdú. – Wiley, 2004. – P. 92–95.
5. Kang J., Park M., Song J. A High-Resolution, Low-Noise 24-bit Sigma-Delta ADC for Precision Pressure Measurement / J. Kang, M. Park, J. Song // *Sensors*. – 2018. – Vol. 18, No. 12. – Article 4032.
6. Kim J., Jeon N., Do W., Jung E., Kim H., Park H., Jang Y.-C. A 96 dB DR Second-Order CIPF Delta-Sigma Modulator with Rail-to-Rail Input Voltage Range / J. Kim, N. Jeon, W. Do, E. Jung, H. Kim, H. Park, Y.-C. Jang // *Electronics*. – 2024. – Vol. 13, Issue 6. – C. 1084.
7. Wu H., Li W., Zhang T., Li G., Liu J. A 1.2 V, 92 dB Dynamic-Range Delta-Sigma Modulator Based on an Output Swing-Enhanced Gain-Boost Inverter / H. Wu, W. Li, T. Zhang, G. Li, J. Liu // *Electronics*. – 2024. – Vol. 13, No. 8.
8. Han Y., Liu W., Zhang X., Wang X., Liu X., Yu L. A Wide Dynamic Range Sigma-Delta Modulator for EEG Acquisition Using Randomized DWA and Dynamic-Modulated Scaling-Down Techniques / Y. Han, W. Liu, X. Zhang, X. Wang, X. Liu, L. Yu // *Sensors*. – 2023. – Vol. 23, No. 1.
9. Huang Y., Wang X., Li P. Design of a Low-Power 16-bit Delta-Sigma ADC for Biomedical Applications / Y. Huang, X. Wang, P. Li // *IEEE Transactions on Circuits and Systems I: Regular Papers*. – 2022. – Vol. 69, No. 10. – P. 4128–4140.
10. Chen J., Liu Q., Luo X. An Energy-Efficient Pipelined ADC Using Background Calibration for Industrial Sensor Systems / J. Chen, Q. Liu, X. Luo // *IEEE Sensors Journal*. – 2020. – Vol. 20, No. 24. – P. 14628–14636.
11. Proakis J. G., Manolakis D. G. Digital Signal Processing: Principles, Algorithms, and Applications / J. G. Proakis, D. G. Manolakis. – Pearson Education, 2007. – P. 347–389.
12. Lyons R. G. Understanding Digital Signal Processing / R. G. Lyons. – Pearson Education, 2011. – P. 279–305.
13. Oppenheim A. V., Schaffer R. W. Discrete-Time Signal Processing / A. V. Oppenheim, R. W. Schaffer. – Prentice Hall, 2010. – P. 211–245.
14. Shiue M.-T., Ou Y.-C., Li G.-S. A Low-Power Continuous-Time Delta-Sigma Analogue-to-Digital Converter for the Neural Network Architecture of Battery State Estimation / M.-T. Shiue, Y.-C. Ou, G.-S. Li // *Electronics*. – 2024. – Vol. 13, Issue 17. – C. 3459.
15. Schreier R., Temes G. C. Understanding Delta-Sigma Data Converters / R. Schreier, G. C. Temes. – Wiley-IEEE Press, 2017. – 450 p.
16. Zhang B., Schreier R. Delta-Sigma Modulators: Modeling, Design and Applications / B. Zhang, R. Schreier. – Springer, 2005. – C. 92–95.
17. Verreault A., Cicek P.-V., Robichaud A. Oversampling ADC: A review of recent design trends. *IEEE Access*. 2024. Vol. 12. P. 121753–121779.

### References

1. Varkholyak, R. P. Pidvyshchennia tochnosti system avtomatyzatsii dlia kontroliu tysku ta temperatury v promyslovykh umovakh. In: Proceedings of the XII International Scientific and Technical Conference of Young Scientists and Students "Aktualni zadachi suchasnykh tekhnolohii", Ternopil, December 6–7, 2023, p. 372.
2. Kester W. ADC Architectures III: Sigma-Delta ADC Basics / W. Kester. – *Analog Devices Tutorial MT-022*. – 2019. – 25 p.
3. Norsworthy S. R., Schreier R., Temes G. C. Delta-Sigma Data Converters: Theory, Design, and Simulation / S. R. Norsworthy, R. Schreier, G. C. Temes. – Wiley-IEEE Press, 2006. – P. 25–26.
4. De la Rosa J. M., Pérez-Verdú B. Sigma-Delta Converters: Practical Design Guide / J. M. de la Rosa, B. Pérez-Verdú. – Wiley, 2004. – P. 92–95.
5. Kang J., Park M., Song J. A High-Resolution, Low-Noise 24-bit Sigma-Delta ADC for Precision Pressure Measurement / J. Kang, M.

Park, J. Song // *Sensors*. – 2018. – Vol. 18, No. 12. – Article 4032.

6. Kim J., Jeon N., Do W., Jung E., Kim H., Park H., Jang Y.-C. A 96 dB DR Second-Order CIFF Delta-Sigma Modulator with Rail-to-Rail Input Voltage Range / J. Kim, N. Jeon, W. Do, E. Jung, H. Kim, H. Park, Y.-C. Jang // *Electronics*. – 2024. – Vol. 13, Issue 6. – C. 1084..

7. Wu H., Li W., Zhang T., Li G., Liu J. A 1.2 V, 92 dB Dynamic-Range Delta-Sigma Modulator Based on an Output Swing-Enhanced Gain-Boost Inverter / H. Wu, W. Li, T. Zhang, G. Li, J. Liu // *Electronics*. – 2024. – Vol. 13, No. 8.

8. Han Y., Liu W., Zhang X., Wang X., Liu X., Yu L. A Wide Dynamic Range Sigma-Delta Modulator for EEG Acquisition Using Randomized DWA and Dynamic-Modulated Scaling-Down Techniques / Y. Han, W. Liu, X. Zhang, X. Wang, X. Liu, L. Yu // *Sensors*. – 2023. – Vol. 23, No. 1.

9. Huang Y., Wang X., Li P. Design of a Low-Power 16-bit Delta-Sigma ADC for Biomedical Applications / Y. Huang, X. Wang, P. Li // *IEEE Transactions on Circuits and Systems I: Regular Papers*. – 2022. – Vol. 69, No. 10. – P. 4128–4140.

10. Chen J., Liu Q., Luo X. An Energy-Efficient Pipelined ADC Using Background Calibration for Industrial Sensor Systems / J. Chen, Q. Liu, X. Luo // *IEEE Sensors Journal*. – 2020. – Vol. 20, No. 24. – P. 14628–14636.

11. Proakis J. G., Manolakis D. G. *Digital Signal Processing: Principles, Algorithms, and Applications* / J. G. Proakis, D. G. Manolakis. – Pearson Education, 2007. – P. 347–389.

12. Lyons R. G. *Understanding Digital Signal Processing* / R. G. Lyons. – Pearson Education, 2011. – P. 279–305.

13. Oppenheim A. V., Schaffer R. W. *Discrete-Time Signal Processing* / A. V. Oppenheim, R. W. Schaffer. – Prentice Hall, 2010. – P. 211–245.

14. Shiue M.-T., Ou Y.-C., Li G.-S. A Low-Power Continuous-Time Delta-Sigma Analogue-to-Digital Converter for the Neural Network Architecture of Battery State Estimation / M.-T. Shiue, Y.-C. Ou, G.-S. Li // *Electronics*. – 2024. – Vol. 13, Issue 17. – C. 3459.

15. Schreier R., Temes G. C. *Understanding Delta-Sigma Data Converters* / R. Schreier, G. C. Temes. – Wiley-IEEE Press, 2017. – 450 p.

16. Zhang B., Schreier R. *Delta-Sigma Modulators: Modeling, Design and Applications* / B. Zhang, R. Schreier. – Springer, 2005. – C. 92–95.

17. Verreault A., Cicek P.-V., Robichaud A. Oversampling ADC: A review of recent design trends. *IEEE Access*. 2024. Vol. 12. P. 121753–121779.